



**FACULDADE DE TECNOLOGIA E CIÊNCIAS SOCIAIS APLICADAS – FATECS
ENGENHARIA ELÉTRICA**

Matheus Carpes Proença
Matrícula 21602217

**Estudo comparativo de tecnologias nanoeletrônicas CMOS e SET aplicadas
a portas lógicas digitais**

BRASÍLIA
2020



MATHEUS CARPES PROENÇA

Estudo comparativo de tecnologias nanoeletrônicas CMOS e SET aplicadas a portas lógicas digitais

Trabalho de Conclusão de Curso (TCC) apresentado como um dos requisitos para a conclusão do curso de Engenharia Elétrica do UniCEUB – Centro Universitário de Brasília

Orientador (a): **MsC. Francisco Javier de Obaldia Diaz**

BRASÍLIA
2020



MATHEUS CARPES PROENÇA

Estudo comparativo de tecnologias nanoeletrônicas CMOS e SET aplicadas a portas lógicas digitais

Trabalho de Conclusão de Curso (TCC) apresentado como um dos requisitos para a conclusão do curso de Engenharia Elétrica do UniCEUB – Centro Universitário de Brasília

Orientador (a): **MsC. Francisco Javier de Obaldia Diaz**

Brasília, 2020.

BANCA EXAMINADORA

MsC. Francisco Javier de Obaldia Diaz
Orientador (a)

MsC. Ivandro da Silva Ribeiro
Examinador (a)

MsC. Hudson Capanema Zaidan
Examinador (a)

PhD. Janaina Gonçalves Guimarães
Examinador (a)

Estudo comparativo de nanotecnologias CMOS e SET aplicadas a portas lógicas digitais

Comparative study between CMOS and SET nanotechnologies applied to digital logic gates

Proença, M.C.¹, Diaz, F.J.O.², Ribeiro, I. da S.³, Zaidan, H.C.⁴, Guimarães, J.G.⁵

Resumo

O transistor mono-elétron (SET) é um dispositivo de dimensões nanométricas, com características similares ao MOSFET, cuja concepção foi dada mediante a necessidade de superar as limitações impostas pelos fenômenos da mecânica quântica às arquiteturas de circuitos convencionais. Este artigo apresenta um estudo comparativo entre o desempenho das tecnologias CMOS e SET explorando suas vantagens e desvantagens no contexto de portas lógicas digitais. A análise foi dada por meio dos softwares de simulação de circuitos elétricos SIMON e LTspice para projetar os diferentes sistemas a partir de modelagens matemáticas amplamente utilizadas, representando de forma aproximada a influência dos efeitos quânticos nessas tecnologias.

Palavras-chave: SET. CMOS. Portas lógicas.

Abstract: The single-electron transistor (SET) is a device with nanometric dimensions, with characteristics similar to MOSFET, which its conception was given by the need to overcome the limitations imposed by the phenomena of quantum mechanics to conventional circuit architectures. This article presents a comparative study between the performance of CMOS and SET technologies exploring its advantages and disadvantages in the context of digital logic gates. The analysis was done using the electrical circuit simulation softwares SIMON and LTspice to design the different systems based on widely used mathematical models, representing approximately the influence of the quantum effects in these technologies.

keywords: SET. CMOS. Logic gates.

¹ UniCEUB, aluno.

² UniCEUB, orientador.

³ UniCEUB, primeiro examinador.

⁴ UniCEUB, segundo examinador.

⁵ UFSC, terceiro examinador.

1 INTRODUÇÃO

No decorrer da segunda metade do século XX, a taxa de miniaturização dos circuitos integrados (CIs) de silício manteve um crescimento constante em escala exponencial (FERRY et al., 2006). Este comportamento é descrito pela Lei de Moore, onde é constatado que a quantidade de transistores que podem ser inseridos no processo de fabricação de um chip praticamente dobra a cada dois anos (MOORE, 2006). Este comportamento foi mantido por algumas décadas, chegando ao ponto de se trabalhar com transistores MOSFET com estruturas inferiores à 100nm. Entretanto, dimensões tão reduzidas trouxeram alguns problemas fundamentais, relacionados a diversos fenômenos físicos (YANO, 2006).

Paralelo aos avanços da indústria de CIs, pesquisadores buscavam compreender melhor as propriedades e o comportamento dos elétrons. Algumas descobertas de suma importância foram o comportamento discreto da carga elétrica e medição da carga elementar de um elétron por Robert Millikan em 1913, partículas possuem características de ondas por Louis de Broglie em 1923 e por Erwin Schrödinger em 1926, o tunelamento de elétrons por Ralph Fowler e Lothar Nordheim em 1928 e o bloqueio de Coulomb por Cornelis Gorter em 1951 (WASSHUBER, 2001).

O progresso na miniaturização dos transistores encontrou limites nas estruturas planares clássicas devido aos comportamentos impostos pela mecânica quântica, o que incentivou o desenvolvimento de novas geometrias para que fosse possível seguir reduzindo em escalas nanométricas (COLINGE, GREER, 2011). Dispositivos inovadores como FinFETs, sistemas nanoeletromecânicos (NEMS), FETs baseados em grafeno (GFETs) e transistores mono-elétron (SETs) oferecem diversas vantagens perante as deficiências dos transistores convencionais (PATEL,

AGRAWAL, PAREKH, 2020). Todavia, apesar de promissoras, as nanotecnologias emergentes ainda enfrentam desafios como operação adequada em temperatura ambiente, baixa corrente de saída e elevados custos de fabricação. Assim, muitos pesquisadores passaram a apostar que elas possam coexistir com os dispositivos CMOS ao invés de substituí-los por completo (MAHAPATRA, IONESCU, 2006).

Dentre as promissoras características apresentadas por dispositivos mono-elétron, destacam-se o baixo consumo de potência, redução de dimensões para a escala atômica e elevada velocidade de chaveamento (GONZÁLEZ, LEUENBERGER, 2011). Algumas de suas principais aplicações estudadas são memórias computacionais, lógica multivalorada e redes neurais (MAHAPATRA, IONESCU, 2006). Exemplos de aplicações exploradas em nível de graduação incluem rede neural artificial composta por uma célula básica (DO CARMO, 2002), conversores D/A (DE ARAÚJO, 2009), sistema de comunicação nanoeletrônico (NETO, 2009), rede de Hopfield (NOGUEIRA, 2010) e multiplicador binário de 2 bits (DA CUNHA, 2013).

Este artigo tem como objetivos apresentar as principais características dos transistores mono-elétron e explorar projetos de portas lógicas digitais utilizando modelos de dispositivos CMOS e SET. Mediante as dificuldades da realização de um estudo a partir de componentes físicos, foram utilizados softwares de simulação de circuitos elétricos. O software SIMON foi escolhido por ser capaz de representar com precisão satisfatória os fenômenos quânticos por trás da operação de um SET. Por sua vez, o LTspice permite a análise de SETs através de modelos aproximados propostos por pesquisadores em publicações científicas e associá-los à componentes que não existem no ambiente de análise do SIMON.

2 REVISÃO BIBLIOGRÁFICA

2.1 SEMICONDUTOR

2.1.1 Propriedades

Um elemento semicondutor possui propriedades elétricas entre as de um isolante e as de um condutor. Assim, os melhores semicondutores possuem quatro elétrons na camada de valência. O silício é o elemento mais utilizado na fabricação de semicondutores para aplicações de eletrônica moderna, comunicações e computadores. Por possuir um total de 14 prótons e 14 elétrons, a carga líquida do núcleo é de +4 devido aos 4 elétrons de valência. (MALVINO, BATES, 2006).

2.1.2 Semicondutores tipo p e tipo n

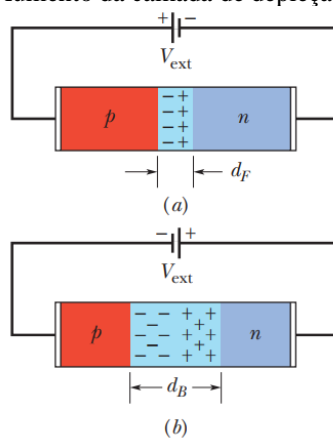
No processo de dopagem modificam-se as propriedades elétricas de um semicondutor através da introdução de átomos específicos (HALLIDAY, RESNICK, WALKER, 2015). Podem ser produzidos dois tipos de semicondutores dopados: os tipo n , que possuem um excesso de elétrons livres, e os tipo p , que possuem um excesso de lacunas. Esses tipos de semicondutores podem ser combinados na forma de uma junção pn , que é a base para o desenvolvimento de diodos, transistores e circuitos integrados (MALVINO, BATES, 2006).

2.1.3 Camada de depleção

A camada de depleção é a região vazia de portadores criada entre os polos de um semicondutor através da polarização por uma diferença de potencial (HALLIDAY, RESNICK, WALKER, 2015). A camada pode ser reduzida através da polarização direta. Nesta, o terminal negativo da fonte está conectado a um material tipo n e o positivo a um material tipo p , promovendo a movimentação das cargas no sentido da corrente elétrica. A camada também pode ser aumentada através da polarização reversa, na

qual o terminal negativo da fonte está conectado a um material tipo p e o positivo a um material tipo n . Isso dificulta a passagem de corrente elétrica porque os elétrons livres são atraídos para o terminal positivo da fonte e as lacunas para o terminal negativo. (MALVINO, BATES, 2006). Estas configurações estão ilustradas na figura 1.

Figura 1- (a) Redução da camada de depleção. (b) Aumento da camada de depleção.



Fonte: HALLIDAY, RESNICK, WALKER. (2015)

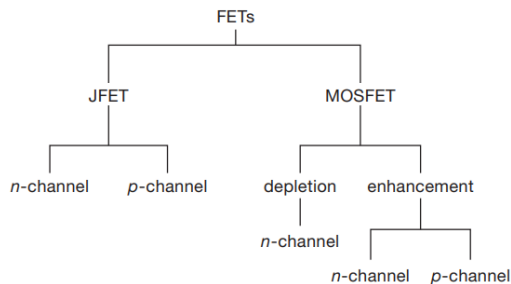
2.2 TRANSISTOR

O transistor foi inventado em 1948 e inserido pela primeira vez como um circuito integrado em um chip em 1961 (AHSAN, 2016). É um dispositivo semicondutor de três terminais que podem ser utilizados para amplificar sinais de entrada (HALLIDAY, RESNICK, WALKER, 2015). Ele pode ser bipolar (conhecido como transistor de junção bipolar, ou TJB) ou unipolar (chamado de transistor de efeito de campo, ou FET): no primeiro, o funcionamento depende de dois tipos de portadores de cargas - elétrons livres e lacunas; no segundo, depende apenas de um desses tipos (MALVINO, BATES, 2016). De forma resumida, as principais características dos transistores TJB são alta precisão e baixo ruído, enquanto as dos FET são operação em baixa potência, alta impedância e chaveamento em alta corrente (HOROWITZ, HILL, 2015).

2.3 FET

FET (“*Field Effect Transistor*”, ou Transistor de Efeito de Campo) é a designação para dispositivos com três terminais nos quais a condução das cargas em seu canal é controlada por um campo elétrico produzido por uma tensão aplicada em seu eletrodo de *gate* (HOROWITZ, HILL, 2015). A escala desprezível da corrente no *gate* é sua característica mais importante, pois resulta em uma alta impedância de entrada. É amplamente utilizado para aplicações de chaveamento dada a ausência de portadores minoritários, permitindo uma frequência de corte mais rápida (MALVINO, BATES, 2016). A figura 2 mostra os principais tipos de transistores FET. As características podem variar de acordo com sua polaridade (canal-*p* ou canal-*n*), forma de isolamento do *gate* (junção semicondutora no JFET ou óxido isolante no MOSFET) e dopagem do canal (depleção ou crescimento).

Figura 2- Árvore de características da família de transistores FET.



Fonte: HOROWITZ, HILL. (2015)

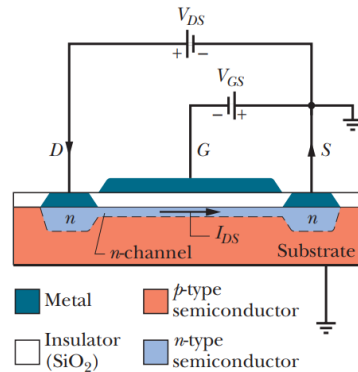
2.4 MOSFET

2.4.1 Estrutura

Um MOSFET (“*Metal Oxide Semiconductor Field Effect Transistor*”, ou transistor de efeito de campo com óxido de semicondutor e metal) possui os terminais de *source*, *gate* e *drain* e seu *gate* é isolado do canal (MALVINO, BATES, 2016). A figura 3 ilustra a estrutura básica de um MOSFET. O sentido convencional da corrente elétrica I_{DS} flui do terminal de *source* (S) para o de *drain* (D) e sua magnitude é controlada pelo

campo elétrico gerado por uma tensão V_{GS} aplicada no terminal de *gate* (HALLIDAY, RESNICK, WALKER. (2015).

Figura 3- Estrutura básica de um MOSFET.



Fonte: HALLIDAY, RESNICK, WALKER. (2015)

2.4.2 Princípio operacional

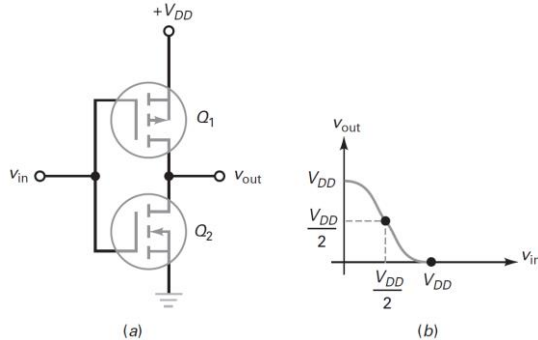
Sua operação é dada por um campo elétrico produzido entre o *gate* e o material semicondutor que inverte a população de portadores de carga, formando um canal de condução que se estende pelas regiões de *source* e *drain* (FERRY et al., 2006). Existem dois tipos de MOSFET: o modo de depleção (MOSFET-D), que se encontra normalmente em condução quando a tensão no *gate* é zero, e o modo de crescimento (MOSFET-E), que é normalmente em corte nas mesmas condições (MALVINO, BATES, 2016).

2.4.3 CMOS

Um CMOS (“*Complementary Metal Oxide Semiconductor*”, ou óxido de semicondutor e metal complementar) surge da combinação de transistores MOSFET de canal *n* e de canal *p*. Os dispositivos são ditos complementares porque possuem valores iguais e opostos de tensão *gate-source* limiar (“*threshold*”), tensão *gate-source* em estado ligado, corrente de dreno em estado ligado, entre outras características (MALVINO, BATES, 2016). A figura 4 traz um exemplo de configuração CMOS como inversor. Nesta, em condição de chaveamento, a tensão de entrada é alta ($+V_{DD}$) ou baixa (0V).

Devido às características opostas dos transistores, enquanto Q1 está em condução, Q2 está em corte, e vice-versa.

Figura 4- Circuito inversor CMOS. (a) Circuito; (b) gráfico da tensão de entrada-saída.



Fonte: MALVINO, BATES. (2016)

2.4.4 Aplicações

Os MOSFETs são utilizados para diversas aplicações em circuitos. Como FETs de potência, podem conduzir correntes elevadas; como comutadores de fonte, eles conectam ou desconectam a fonte para sua carga; como ponte H, permitem o controle do sentido e do nível de corrente de uma carga; como amplificadores, são muito utilizados como estágio inicial de amplificação em equipamentos de comunicação (MALVINO, BATES, 2016).

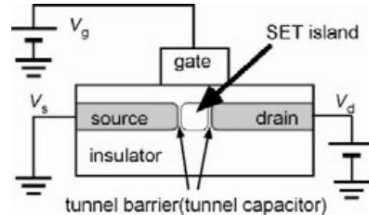
2.5 SET

2.5.1 Estrutura

Uma junção-túnel consiste de dois materiais condutores com um isolante no meio. Seu princípio se assemelha ao de um capacitor. Entretanto, a diferença está na espessura extremamente fina da camada isolante, que torna possível o tunelamento individual de elétrons (VAN DE HAAR, 2004). A figura 5 mostra um esquema básico de um SET. É possível visualizar as junções-túnel dos terminais de *source* e de *drain*, uma região “*SET Island*” isolada destas e o terminal de *gate* acoplado (COLINGE, GREER, 2011). A região isolada também é

chamada de ilha e de ponto quântico (“*quantum dot*”, ou QD).

Figura 5- Estrutura esquemática de um SET.

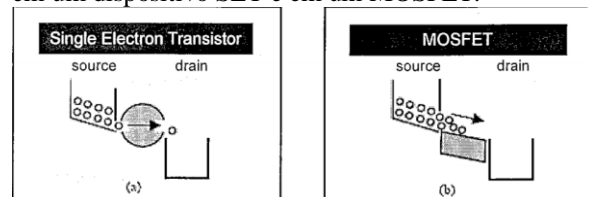


Fonte: ODA, FERRY. (2006)

2.5.2 Tunelamento

A operação de um SET é dada por meio do tunelamento de elétrons individuais através de junções-túnel nanométricas (RASMI, HASHIM, 2005). Uma junção-túnel, quando polarizada por uma pequena tensão, se comporta como um capacitor pelo qual elétrons podem tunelar para adentrar ou sair do QD (COLINGE, GREER, 2011). A figura 6 compara o modo de transferência de elétrons no SET e no MOSFET. O primeiro permite a passagem de um único elétron através do QD localizado entre a *source* e o *drain*, enquanto o segundo transfere múltiplos elétrons simultaneamente. A passagem de milhões de elétrons pelo canal de um transistor da família FET gera dissipação de calor devido à colisão dos elétrons, o que é contornado na operação de um SET (AHSAN, 2016).

Figura 6- Comparação entre o tunelamento de elétrons em um dispositivo SET e em um MOSFET.



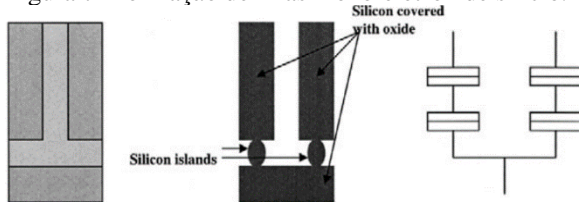
Fonte: RASMI, HASHIM. (2005)

2.5.3. Pontos Quânticos (QDs)

A formação destas pequenas ilhas ocorre através de técnicas de oxidação feitas em substratos de silício sobre isolante (ODA,

FERRY, 2006). A figura 7 ilustra esse processo, culminando com a criação das junções-túnel. Sendo uma região com dimensões inferiores a 100 nm e localizada entre as junções da *source* e do *drain*, um elétron pode ficar confinado nela caso o *gate* exerça uma energia eletrostática de ligação maior que a energia cinética da partícula e apenas ser solto com determinadas tensões no *gate* e tensões entre a *source* e o *drain* (HOEFFLINGER, 2012).

Figura 7- Formação de ilhas mono-elétron de silício.

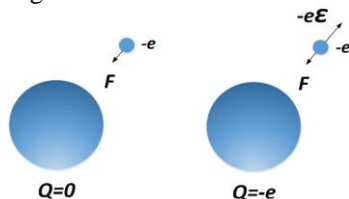


Fonte: ODA, FERRY. (2006)

2.5.4. Bloqueio de Coulomb

O tunelamento individual de elétrons é possível graças ao efeito conhecido como Bloqueio de Coulomb. Conforme descrito por Xiao (2014, apud LIKHAREV, 1999), inicialmente, o QD condutor se encontra eletricamente neutro até a inserção de um elétron externo. Assim, quando outros elétrons externos se aproximam, o novo campo elétrico negativo do QD interage com o da carga que se aproxima, resultando na criação de uma força elétrica que se opõe à aproximação do elétron. A figura 8 ilustra esse fenômeno. Para tornar uma memória mono-elétron implementável, as flutuações térmicas e quânticas da carga guardada devem ser minimizadas (ODA, FRANCIS, 2006).

Figura 8- Conceito básico de controle mono-elétron.



Fonte: XIAO. (2014)

2.5.5 Flutuações térmicas

Dado o caráter capacitivo da região entre as junções de um SET, a aplicação de uma tensão entre esses terminais permite o transporte de cargas por meio da variação do balanço energético (PATEL, AGRAWA, PAREKH, 2020). A energia de Coulomb E_C necessária para carregar um QD com um elétron é dada pela seguinte equação:

$$E_C = \frac{e^2}{2C} \gg k_B T \quad (1)$$

Onde:

e é a *carga elementar*,

C é a *capacitância do QD*,

k_B é a *constante de Boltzmann*,

T é a *temperatura absoluta*.

Se a Energia de Coulomb for maior que a energia térmica disponível, é possível controlar o movimento dos elétrons através da energia aplicada por fontes de tensão (WASSHUBER, KOSINA, 1997). Assim, para criar uma lógica determinística através destes efeitos de carga, a temperatura de operação deve ser baixa o suficiente para conter a excitação térmica dos elétrons evitando a ocorrência de erros ocasionados pela quebra do Bloqueio de Coulomb (WASSHUBER, 2001).

2.5.6 Flutuações quânticas

É fundamental para a correta operação de um SET que sua impedância de saída seja superior à Resistência de Coulomb. Caso contrário, a carga no QD não ficará bem definida (LIENTSCHNIG, WEYMANN, HADLEY, 2003). A Resistência de Coulomb R_T é dada pela equação:

$$R_T > \frac{h}{e^2} = 25813\Omega \quad (2)$$

Onde:

h é a *constante de Planck*,

e é a *carga elementar*.

2.5.7 Cargas de fundo aleatórias

Cargas de fundo aleatórias (“*random background charges*”, ou RBC) são

flutuações indesejadas que podem ocorrer nos QDs devido sua alta suscetibilidade à influências vindouras de cargas próximas provenientes de impurezas carregadas dos materiais ao redor, armadilhas carregadas nas superfícies e nas fronteiras dos grãos, condutores e radiação ionizante (WASSHUBER, 2001). A magnitude destes efeitos deve ser inferior à 10% da carga elementar do elétron para assegurar uma operação adequada, visto que esse fenômeno pode influenciar características como a relação $I_D \times V_{GS}$ (entre a corrente no *drain* e a tensão aplicada entre o *gate* e a *source*) e também a fase das oscilações do Bloqueio de Coulomb de um SET (MAHAPATRA, IONESCU, 2006). Uma das formas mais utilizadas para minimizar esses efeitos é através da adição de um capacitor extra ligado aos QDs com a finalidade de controlar as cargas iniciais da ilha e as flutuações RBC que podem surgir devido às fontes de tensão de *gate* externas (VAN DE HAAR, 2004).

2.5.3 Teoria ortodoxa do tunelamento mono-elétron

A teoria ortodoxa do tunelamento mono-elétron foi desenvolvida por Konstantin K. Likharev (LIKHAREV, 1999). Ela parte dos princípios da carga possuir comportamento discreto, porém a energia ainda é contínua, e da resistência de tunelamento em junção ser superior à resistência quântica, de aproximadamente $26k\Omega$ (MAHAPATRA et al, 2003). Ela é a base para o modelo analítico Mahapatra-Ionescu-Banerjee (MIB), que foi proposto em 2003 e tem grande importância por trazer maior flexibilidade na modificação dos parâmetros de simulação de um SET (PATEL, AGRAWAL, PAREKH, 2020).

Segundo Wasshuber (2001), essa teoria se baseia nas perturbações de primeira ordem para definir a taxa normal de tunelamento $\Gamma(\Delta F)$ através de uma junção, como pode ser visto na seguinte equação:

$$\Gamma(\Delta F) = \frac{\Delta F}{(e^2 R_T (e^{\frac{\Delta F}{k_B T}} - 1))} \quad (3)$$

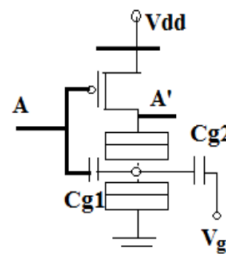
Onde:

ΔF é a *variação na energia livre de Helmholtz*,
 e é a *carga elementar*,
 R_T é a *resistência de tunelamento*,
 $k_B T$ é a *energia térmica*.

2.6 HÍBRIDOS SET-MOS

Espera-se que a tecnologia CMOS abra espaço no futuro para nanotecnologias emergentes dentro da indústria de semicondutores (MAHAPATRA, IONESCU, 2006). Os SETs têm como vantagens: a continuidade da busca por maior densidade de integração em CIs, baixíssima dissipação de potência e o uso das características oscilatórias do Bloqueio de Colomb (ABUTALEB, 2015). Hibridização de SETs e MOSFETs resulta em circuitos de dimensões compactas, operacionais em temperatura ambiente e com baixo consumo de energia (GHOSH, 2020). Na figura 9 pode-se observar um exemplo de configuração de porta lógica NOT híbrida SET-MOSFET. Outra possibilidade vantajosa proveniente da hibridização é a adição de um estágio de *buffer* FET à saída de um SET, permitindo a redução da impedância de saída para valores próximos de 100Ω , o que proporciona um aumento considerável na velocidade do circuito (LIENTSCHNIG, WEYMANN, HADLEY, 2003).

Figura 9- Configuração de uma porta lógica NOT a partir da combinação de um pMOS no sistema de *pull-up* com um SET no *pull-down*.



Fonte: GHOSH. (2020)

2.7 SIMULAÇÃO E MODELAGEM DE

CIRCUITOS

Com o crescimento exponencial da performance dos computadores, as simulações se tornaram uma prática acessível e barata para engenheiros e pesquisadores (WASSHUBER, 2001). Na simulação de dispositivos semicondutores ultra pequenos, uma série de considerações importantes precisam ser ignoradas ou aproximadas, o que compromete a representabilidade das reais interações físicas desses componentes (ODA, FERRY, 2006). Simuladores convencionais de circuitos partem do princípio de que a carga nos circuitos possui um comportamento contínuo, seguindo as leis de Kirchhoff. Entretanto, para sistemas mono-elétron, o transporte de carga é dado de forma discreta devido aos eventos de tunelamento (SINHA, SANJAY, 2014). As três abordagens principais para modelagem de dispositivos SET são: Monte Carlo, Equação Mestra e Macromodelo SPICE (PATEL, AGRAWAL, PAREKH, 2020).

2.7.1 Modelagem Monte Carlo

A modelagem Monte Carlo, segundo Wasshuber e Kosina (1997), analisa todos os eventos de tunelamento possíveis, calcula suas probabilidades e escolhe um dos eventos possíveis de forma aleatória. Como a simulação é executada diversas vezes para simular o transporte de elétrons pela rede, este método consome muito tempo caso aplicado em circuitos mais complexos (PATEL, AGRAWAL, PAREKH, 2020). Os primeiros pesquisadores a utilizarem esta abordagem para sistematizar os efeitos dos elétrons validaram seus resultados comparando com observações feitas por meio de microscópios de corrente de tunelamento (STM) (BAKHVALOV et al., 1988). Alguns simuladores conhecidos que utilizam a abordagem Monte Carlo são SIMON, MOSES, KOSEC e SENECA (SINHA, SANJAY, 2014).

2.7.2 Modelagem pela Equação Mestra

A Equação Mestra é descrita por um processo de cadeia de Markov de elétrons tunelando de ilha para ilha (WASSHUBER, KOSINA, 1997). De acordo com Sinha e Sanjay (2014), enquanto o método de Monte Carlo chega em seu resultado através de integração estocástica, a seguinte equação pode ser utilizada para descrever os processos de transporte de carga em circuitos mono-elétron de forma determinística:

$$\frac{dP_i(t)}{dt} = \Sigma[\Gamma_{ij}P_j(t) - \Gamma_{ji}P_i(t)] \quad (4)$$

Onde:

$P_i(t)$ é a *probabilidade de ocupação do estado i, dependente do tempo*,

Γ_{ij} é a *taxa de transição do estado j para o estado i*,

$P_j(t)$ é a *probabilidade de ocupação do estado j, dependente do tempo*,

Γ_{ji} é a *taxa de transição do estado i para o estado j*.

Na Equação Mestra, a soma deve levar em consideração dois índices: um para o número total de elétrons e outro para a distribuição dos elétrons entre os níveis de energia a partir de uma quantidade fixa de elétrons (LIKHAREV, 1999). A solução da equação é dada por uma exponencial de matriz, mas há uma dificuldade em avaliar a precisão do resultado. Como descrito por Sinha e Sanjay (2014, p. 1913, tradução livre):

Como o número de possíveis estados é infinito, deve-se encontrar aqueles que importam mais. Isso é impossível para a maioria dos circuitos, seja porque qualquer esquema simples produziria muitos estados, tornando a matriz muito grande, ou porque os poucos estados que importam são desconhecidos. Deve-se aplicar um esquema adaptável no qual se comece com um conjunto de estados ou com apenas um estado e gradativamente se busque o espaço de estado para estados mais relevantes. Para circuitos muito pequenos a Equação Mestra possui vantagens sobre o método Monte Carlo.

2.7.3 Modelagem pelo Macromodelo SPICE

Nesta abordagem, representa-se o

comportamento de um SET em um ambiente de simulação SPICE (“*Simulation Program with Integrated Circuit Emphasis*”, ou “Programa de Simulação com Ênfase em Circuitos Integrados”) por meio de um circuito equivalente composto por diodos, resistores e fontes. (YU, LEE, HWANG, 1998). A verdadeira vantagem de utilizar um software SPICE é permitir a simulação de outros dispositivos, como FETs, no mesmo circuito que os SETs (LIENTSCHNIG, WEYMANN, HADLEY, 2003). Esses modelos utilizam a teoria ortodoxa para prever os eventos de tunelamento e determinam a corrente média através do transistor em função da tensão de polarização, da tensão no *gate* e da temperatura (VENKATARATNAM, GOEL, 2006).

2.8 SIMON

O SIMON (“*SIMulation Of Nanostructures*”, ou “simulação de nanoestruturas” em tradução livre) é um simulador de dispositivos e circuitos de tunelamento mono-elétron. Foi originalmente criado no Institute for Microelectronics em Viena, por Christoph Wasshuber, em 1997. O programa simula a propagação de elétrons através de uma rede consistente por pequenas junções de túnel, capacitores e fontes de tensão ideais (fontes de tensão constante, fontes de tensão dependentes do tempo lineares em trecho e fontes de tensão controladas por tensão), podendo incluir co-tunelamento caso desejado. Ele calcula as probabilidades para cada possível evento de tunelamento de elétrons e utiliza a abordagem Monte Carlo para determinar um evento dentre os demais possíveis. As probabilidades dos possíveis eventos de tunelamento variam com o tempo porque as fontes de tensão também podem variar com o tempo, o que influencia tanto a distribuição de elétrons através da rede a cada evento de tunelamento quanto a propagação de elétrons. Sendo assim, para cada etapa de tunelamento, uma nova série de probabilidades deve ser

calculada (WASSHUBER, 1997).

2.9 LTSPICE

O LTSpice é um software de simulação SPICE de alta performance pertencente à empresa Analog Devices. Atualmente está na versão XVII e está disponível para uso gratuito (LTSpice | Design Center | Analog Devices, 2020). Dentre os tipos de simulação disponíveis no programa, pode-se optar pela análise do ponto de operação, análise com varredura em corrente contínua, análise em frequência, análise no tempo, dentre outras (DO NASCIMENTO, 2017).

2.10 ÁLGEBRA BOOLEANA

A Álgebra é um ramo da matemática que utiliza letras ou símbolos para representar números e valores, combinando-os a partir de uma série de regras pré-determinadas. A álgebra Booleana utiliza variáveis cujos valores só podem assumir os valores 1 (em alguns casos chamado de “nível alto” ou “verdadeiro”) ou 0 (em alguns casos chamado de “nível baixo” ou “falso”). Alguns dos operadores lógicos mais utilizados são o NOT (“NÃO”, inverte as entradas), AND (“E”, multiplica as entradas) e OR (“OU”, soma as entradas) (VAHID, 2010). As Tabela 1 e 2 mostram as tabelas-verdade das portas OR, AND, NAND, OR e NOR, evidenciando o resultado das operações lógicas para diferentes entradas. A figura 10 ilustra o comportamento típico de portas NOR e NAND. A primeira só produz uma saída de nível lógico alto quando todas as entradas são de nível baixo. Por sua vez, a segunda só produz uma saída de nível lógico baixo quando todas as entradas são de nível lógico alto. Uma característica importante das portas lógicas é a universalidade das portas NAND, visto que estas podem ser conectadas e rearranjadas de modo a produzir o comportamento de qualquer porta lógica (KNIGHT, 2015).

Tabela 1: Tabela verdade de uma porta lógica NOT.

Entrada A	Saída NOT
0	1
1	0

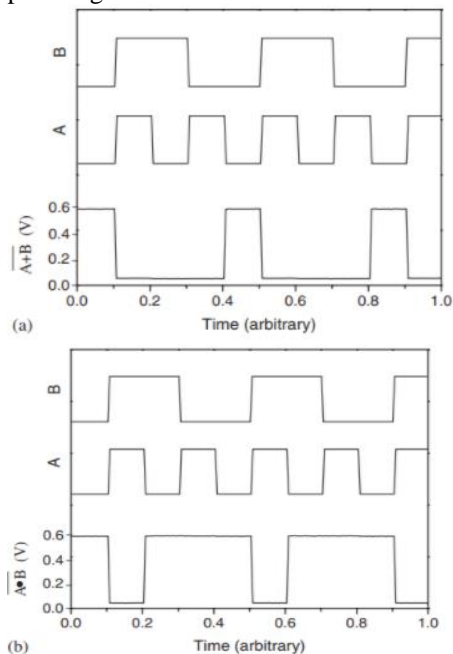
Fonte: VAHID. (2010), modificada pelo autor.

Tabela 2: Tabela verdade das portas lógicas AND, NAND, OR e NOR.

Entrada A	Entrada B	Saídas			
		AND	NAND	OR	NOR
0	0	0	1	0	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	0	1	0

Fonte: VAHID. (2010), modificada pelo autor.

Figura 10- (a) Comportamento esperado de uma porta lógica NOR. (b) Comportamento esperado de uma porta lógica NAND.



Fonte: GEROUSIS, GOONICK, POROD. (2004)

3 METODOLOGIA DO TRABALHO

A análise deste artigo foi baseada no estudo do comportamento dos SETs mediante a variação de parâmetros de simulação e na modelagem de portas lógicas digitais. Para proporcionar um parâmetro para os tempos de simulação, é necessário mencionar o hardware utilizado. O computador em questão possui uma CPU Intel Core i5-4440

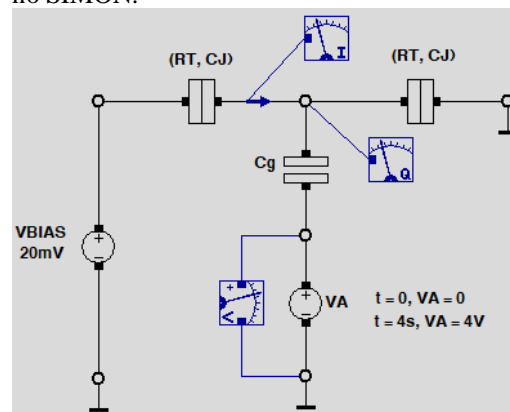
@ 3.10GHz, cache de 6M até 3.30GHz, 16GB de memória DDR3 e um SSD Kingston SV300S37A240G.

3.1 SIMULAÇÕES UTILIZANDO O SIMON

3.1.1 Características do SET no SIMON

Para realizar uma análise mais fiel das características do SET, optou-se por utilizar o software SIMON. A figura 11 ilustra o circuito analisado. A representação do SET no ambiente do SIMON é dada pelo uso de capacitores e fontes interconectados por ramos ligados aos QDs. Ao longo do circuito também foram inseridos medidores de corrente, de tensão e de carga, identificados pelas letras “I”, “V” e “Q”, respectivamente. Os textos de cor preta são comentários inseridos para facilitar a interpretação da imagem. A simulação foi realizada em regime estático, com temperaturas de 10K e 300K, permitiu a ocorrência de eventos normais de tunelamento através das junções, tempo de amostragem de 20ms e teve duração total de 4s. A tensão V_A no terminal de *gate* cresceu de 0 a 4V de forma linear no decorrer da simulação. A polarização das junções de *source* e *drain* foi dada por uma fonte V_{BIAS} de tensão constante com valor de 20mV. A capacitância de junção C_J foi de 1aF, a resistência de junção R_J , 600k Ω e a capacitância de *gate* C_g , 0,1aF.

Figura 11- Circuito básico de um SET implementado no SIMON.

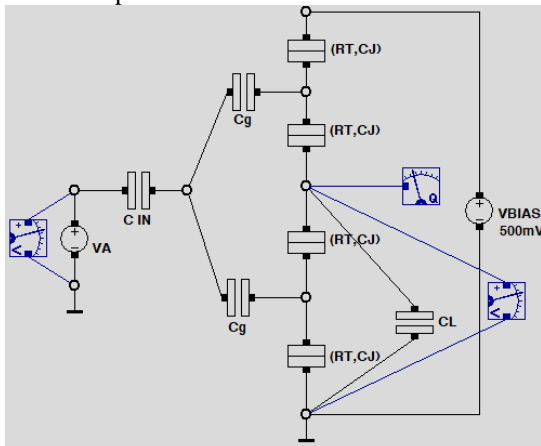


Fonte: Autor.

3.1.2 Portas lógicas digitais no SIMON

A partir do modelo básico, foi elaborado o circuito da porta lógica NOT de uma entrada, conforme mostrado na figura 12. A simulação foi realizada em regime estático, com temperatura de 300K, permitiu a ocorrência de eventos normais de tunelamento através das junções, tempo de amostragem de 20ms e teve duração total de 4s. O sinal de entrada V_A estava inicialmente sem tensão e operou em ciclos onde ficou desligado (0V) por 1s e ligado (500mV) por 1s. Na saída de V_A foi adicionado um capacitor C_{IN} para evitar que a impedância do ramo da fonte seja nula. A polarização das junções de *source* e *drain* foi dada por uma fonte V_{BIAS} de tensão constante com valor de 500mV. A capacitância de junção C_J foi de 0,01aF, a resistência de junção R_J , $1M\Omega$ e a capacitância de *gate* C_g , 0,15aF. Foi adicionado um capacitor C_L com valor de 0,30aF entre os QDs da saída do circuito para contribuir para que o somatório da capacitância equivalente na ilha leve à obtenção de uma carga igual à carga elementar do elétron ($1,6E-19C$) quando a saída estiver no nível lógico alto. A escolha deste valor para C_L veio de testes preliminares que evidenciaram um ganho na saída para valores menores (como 0,25aF) e uma atenuação para valores maiores (como 0,35aF).

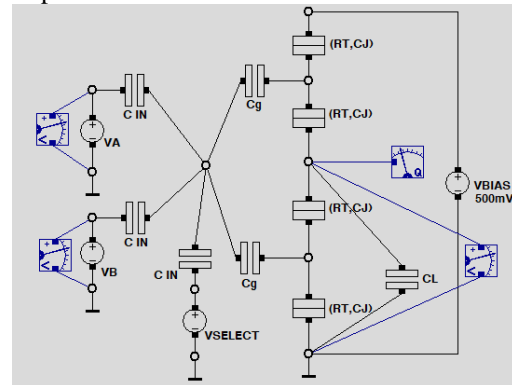
Figura 12- Circuito de uma porta lógica NOT mono-elétron implementado no SIMON.



Fonte: Autor.

A figura 13 mostra o circuito para as portas NAND e NOR. Sua configuração é a mesma da utilizada para a porta NOT, com a diferença de que foi adicionada uma entrada V_B inicialmente sem tensão e que operou em ciclos onde ficou desligado (0V) por 2s e ligado (500mV) por 2s. Para determinar a porta lógica a ser analisada, também foi inserida uma fonte V_{SELECT} de tensão constante que, para configurar a porta como NAND, fornece um sinal baixo de tensão (0V) e, para configurar como NOR, fornece um sinal alto de tensão (500mV).

Figura 13- Circuito de uma porta lógica reprogramável NAND-NOR mono-elétron implementado no SIMON.



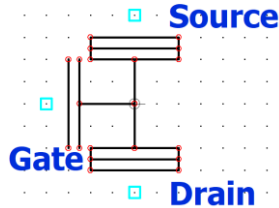
Fonte: Autor.

3.2 SIMULAÇÕES UTILIZANDO O LTSPICE

O software LTspice foi escolhido para a realização de simulações de portas lógicas, utilizando três abordagens distintas: CMOS, SET e um circuito híbrido SET-MOS. O modelo SET implementado foi adaptado a partir do proposto por Hadley e Lientschnig em 2001 e explorado no artigo publicado em 2003 (LIENTSCHNIG, WEYMANN, HADLEY, 2003). Os parâmetros de simulação do CMOS e do SET foram baseados nos propostos por Jana et al. (JANA et al., 2012). A figura 14 mostra o símbolo criado para representar o SET dentro do ambiente de simulação.

Figura 14- Símbolo utilizado para representar o

modelo SPICE de um SET no LTspice.



Fonte: Autor.

Segue a seguir o código netlist utilizado como base para definir o comportamento do componente nas simulações:

```
*** Baseado no netlist elaborado por Peter Hadley e
Günther Lientschnig (2001)
***
*** Dados de simulação baseados no artigo:
*** "Design and simulation of hybrid CMOS-SET
circuits"
*** Por Anindya Jana, N. Basanta Singh, J.K. Sing e
Subir Kumar Sarkar (2012)
***
*** Matheus Carpes Proença - Centro Universitário de
Brasília - Nov (2020)
*** Simulação feita no software LTspice XVII
*****
* CE - A SPICE Model of a Single-Electron Transistor
* Copyright (C) 2001 Peter Hadley and Günther
Lientschnig
* Delft University of Technology, The Netherlands
* Further Information about this program available in
the article
* "Simulating Hybrid Circuits of Single-Electron
Transistors and Field-
* Effect Transistors", G. Lientschnig, I. Weymann,
and P. Hadley,
* Japanese Journal of Applied Physics, 42, 6467-
6472 (2003).
* and at http://lamp.tu-graz.ac.at/~hadley/set/spice/
*
* This program is free software: you can redistribute
it and/or modify
* it under the terms of the GNU General Public
License as published by
* the Free Software Foundation, either version 3 of
the License, or
* any later version.
*
* This program is distributed in the hope that it will
be useful,
* but WITHOUT ANY WARRANTY; without even
the implied warranty of
* MERCHANTABILITY or FITNESS FOR A
PARTICULAR PURPOSE. See the
* GNU General Public License for more details.
*
```

```
* The GNU General Public License can be found at:
* http://www.gnu.org/licenses/
*
*****
*****
*single electron transistor
*connections:      source
*                  | drain
*                  || gate
*                  |||
*                  |||
.SUBCKT SET_tcc      1 2 3 PARAMS:

+C1=1.6E-19          ; Capacitance of junction
1
+C2=1.6E-19          ; Capacitance of junction 2
+R1=1E6              ; Resistance of junction 1
+R2=1E6              ; Resistance of junction 2
+Cg1=9.4E-20         ; Capacitance of gate 1
+Cg2=0
+C0=0                ; Self Capacitance of the island
+Q0=0.00             ; Offset charge in units of e
+TEMP={TEMPERATURA} ; Temperature

.PARAM CSUM={C1+C2+Cg1+C0} ; The total
capacitance of the SET
.PARAM T={TEMP*CSUM*5.3785467E14} ;
Normalized temperature, 5.3785467E14 = kB/e^2
.PARAM RN1={R1/(R1+R2)} ; Normalized
resistance of junction 1
.PARAM RN2={R2/(R1+R2)} ; Normalized
resistance of junction 2

.FUNC Q(a,b,c) { (Cg1*c+C1*a+C2*b)/echarge+Q0 }
; Definition of a charge term in units of e
.FUNC VN(v) { CSUM*v/echarge }
; The normalized voltage
.FUNC GAMMA(u) { IF(T==0,IF(u<0,-
u,0),IF(u==0,T,u/(EXP(u/T)-1))) } ; The rate
function
.FUNC NOPT(a,b,c) { ROUND((-
1*Q(a,b,c)+(CSUM/echarge)*(a*RN2+b*RN1)) } ;
The most probable charge on the island in units of e

***** the rates for the four
tunnel events*****

.FUNC R1L(n,a,b,c) { GAMMA(0.5 - n - Q(a,b,c) +
VN(a))/RN1 }
.FUNC R1R(n,a,b,c) { GAMMA(0.5 + n + Q(a,b,c) -
VN(a))/RN1 }
.FUNC R2L(n,a,b,c) { GAMMA(0.5 + n + Q(a,b,c) -
VN(b))/RN2 }
.FUNC R2R(n,a,b,c) { GAMMA(0.5 - n - Q(a,b,c) +
VN(b))/RN2 }

* determine the relative probabilities; charge state
```

N_OPT is initially assumed to have a relative probability equal to one

```
.FUNC PN_1(n,a,b,c)
{(R1L(n,a,b,c)+R2R(n,a,b,c))/(R1R(n-1,a,b,c)+R2L(n-1,a,b,c))}
.FUNC PN_2(n,a,b,c) { PN_1(n,a,b,c)*
+(R1L(n-1,a,b,c)+R2R(n-1,a,b,c))/(R1R(n-2,a,b,c)+R2L(n-2,a,b,c))}
.FUNC PN_3(n,a,b,c) { PN_2(n,a,b,c)*
+(R1L(n-2,a,b,c)+R2R(n-2,a,b,c))/(R1R(n-3,a,b,c)+R2L(n-3,a,b,c))}
.FUNC PN_4(n,a,b,c) { PN_3(n,a,b,c)*
+(R1L(n-3,a,b,c)+R2R(n-3,a,b,c))/(R1R(n-4,a,b,c)+R2L(n-4,a,b,c))}
.FUNC PN_5(n,a,b,c) { PN_4(n,a,b,c)*
+(R1L(n-4,a,b,c)+R2R(n-4,a,b,c))/(R1R(n-5,a,b,c)+R2L(n-5,a,b,c))}
.FUNC PN1(n,a,b,c)
{(R2L(n,a,b,c)+R1R(n,a,b,c))/(R2R(n+1,a,b,c)+R1L(n+1,a,b,c))}
.FUNC PN2(n,a,b,c) { PN1(n,a,b,c)*
+(R2L(n+1,a,b,c)+R1R(n+1,a,b,c))/(R2R(n+2,a,b,c)+R1L(n+2,a,b,c))}
.FUNC PN3(n,a,b,c) { PN2(n,a,b,c)*
+(R2L(n+2,a,b,c)+R1R(n+2,a,b,c))/(R2R(n+3,a,b,c)+R1L(n+3,a,b,c))}
.FUNC PN4(n,a,b,c) { PN3(n,a,b,c)*
+(R2L(n+3,a,b,c)+R1R(n+3,a,b,c))/(R2R(n+4,a,b,c)+R1L(n+4,a,b,c))}
.FUNC PN5(n,a,b,c) { PN4(n,a,b,c)*
+(R2L(n+4,a,b,c)+R1R(n+4,a,b,c))/(R2R(n+5,a,b,c)+R1L(n+5,a,b,c))}
.FUNC PSUM(n,a,b,c) {
PN_5(n,a,b,c)+PN_4(n,a,b,c)+PN_3(n,a,b,c)+PN_2(n,a,b,c)
++PN_1(n,a,b,c)+1+PN1(n,a,b,c)+PN2(n,a,b,c)+PN3(n,a,b,c)
++PN4(n,a,b,c)+PN5(n,a,b,c) }
***** calculate the current from source to drain *****
.FUNC CUR(n,a,b,c) { PN_5(n,a,b,c)*(R1R(n-5,a,b,c)-R1L(n-5,a,b,c))
++PN_4(n,a,b,c)*(R1R(n-4,a,b,c)-R1L(n-4,a,b,c))
++PN_3(n,a,b,c)*(R1R(n-3,a,b,c)-R1L(n-3,a,b,c))
++PN_2(n,a,b,c)*(R1R(n-2,a,b,c)-R1L(n-2,a,b,c))
++PN_1(n,a,b,c)*(R1R(n-1,a,b,c)-
```

```
R1L(n-1,a,b,c))
++(R1R(n,a,b,c)-R1L(n,a,b,c))
++PN1(n,a,b,c)*(R1R(n+1,a,b,c)-R1L(n+1,a,b,c))
++PN2(n,a,b,c)*(R1R(n+2,a,b,c)-R1L(n+2,a,b,c))
++PN3(n,a,b,c)*(R1R(n+3,a,b,c)-R1L(n+3,a,b,c))
++PN4(n,a,b,c)*(R1R(n+4,a,b,c)-R1L(n+4,a,b,c))
++PN5(n,a,b,c)*(R1R(n+5,a,b,c)-R1L(n+5,a,b,c)) }
.FUNC CURRENT(n,a,b,c) {
echarge*CUR(n,a,b,c)/(CSUM*PSUM(n,a,b,c)*(R1+R2)) }
***** calculate the island voltage *****
.FUNC VOLT(n,a,b,c) { PN_5(n,a,b,c)*(n-5+Q(a,b,c))
++PN_4(n,a,b,c)*(n-4+Q(a,b,c))
++PN_3(n,a,b,c)*(n-3+Q(a,b,c))
++PN_2(n,a,b,c)*(n-2+Q(a,b,c))
++PN_1(n,a,b,c)*(n-1+Q(a,b,c))
++n+Q(a,b,c)
++PN1(n,a,b,c)*(n+1+Q(a,b,c))
++PN2(n,a,b,c)*(n+2+Q(a,b,c))
++PN3(n,a,b,c)*(n+3+Q(a,b,c))
++PN4(n,a,b,c)*(n+4+Q(a,b,c))
++PN5(n,a,b,c)*(n+5+Q(a,b,c)) }
.FUNC VOLTAGE(n,a,b,c) {
(echarge/CSUM)*VOLT(n,a,b,c)/PSUM(n,a,b,c) }
E1 4 0 VALUE = {
VOLTAGE(NOPT(v(1),v(2),v(3)),v(1),v(2),v(3)) } ;
Voltage of the island
G1 1 2 VALUE = {
CURRENT(NOPT(v(1),v(2),v(3)),v(1),v(2),v(3)) } ;
Current from source to drain
CT1 1 4 {C1}
CT2 2 4 {C2}
CGATE1 3 4 {CG1}
.ENDS SET_tcc
```

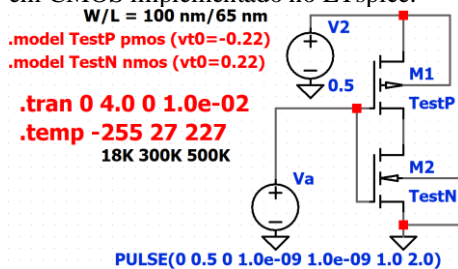
Foi constatado em simulações preliminares que o CMOS implementado não opera em temperaturas inferiores a 18K (cerca de -255°C) e superiores a 550K (cerca de 277°C). Assim, foram estabelecidas 18K, 300K e 500K como as temperaturas de análise.

Nos diagramas, os textos com cor vermelha representam parâmetros de

configuração da simulação conhecidos como “SPICE directives”. Os textos com cor preta representam comentários. Por fim, os textos com cor azul indicam parâmetros específicos dos componentes.

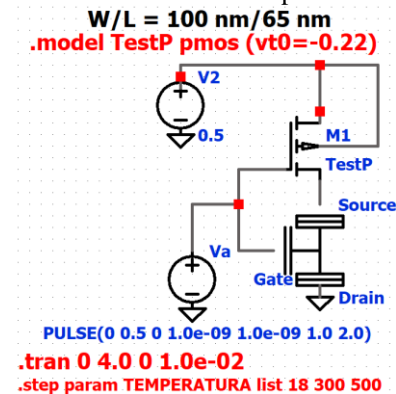
A primeira porta lógica analisada foi a NOT. O circuito utilizando uma configuração CMOS convencional está ilustrado na figura 15. A figura 16 mostra o circuito utilizando uma configuração híbrida SET-MOS. Por fim, a figura 17 a configuração utilizando o modelo SET implementado.

Figura 15- Circuito de uma porta lógica NOT baseada em CMOS implementado no LTspice.



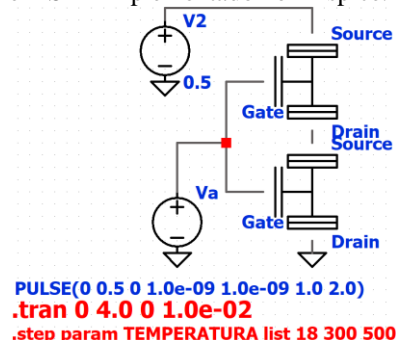
Fonte: Autor.

Figura 16- Circuito de uma porta lógica NOT baseada em híbrido SET-MOS implementado no LTspice.



Fonte: Autor.

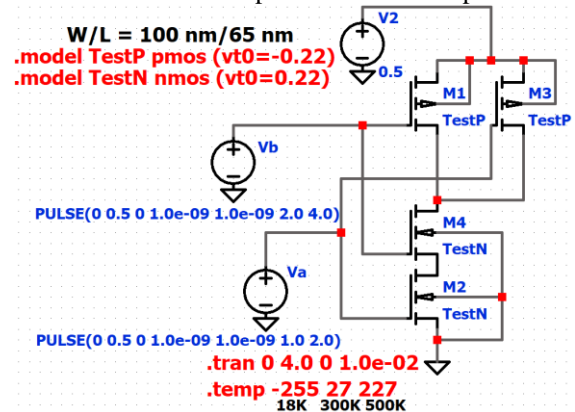
Figura 17- Circuito de uma porta lógica NOT baseada em SET implementado no LTspice.



Fonte: Autor.

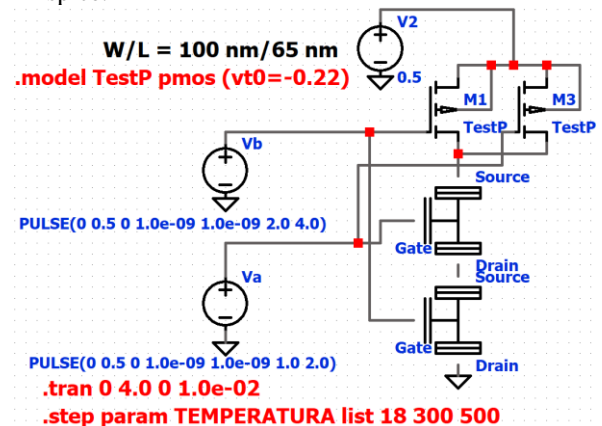
A segunda porta lógica analisada foi a NAND. O circuito utilizando uma configuração CMOS convencional está ilustrado na figura 18. A figura 19 mostra o circuito utilizando uma configuração híbrida SET-MOS. Por fim, a figura 20 a configuração utilizando o modelo SET implementado.

Figura 18- Circuito de uma porta lógica NAND baseada em CMOS implementado no LTspice.



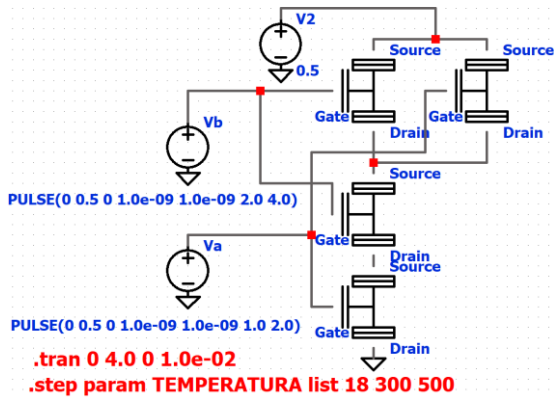
Fonte: Autor.

Figura 19- Circuito de uma porta lógica NAND baseada em híbrido SET-MOS implementado no LTspice.



Fonte: Autor.

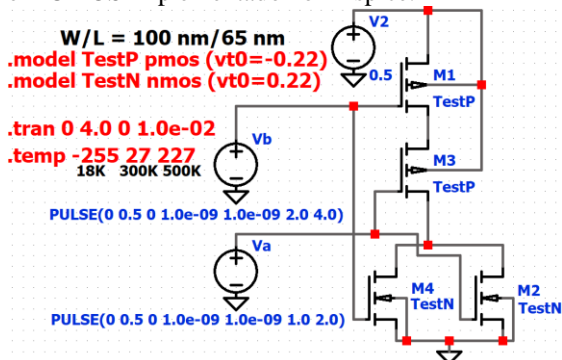
Figura 20- Circuito de uma porta lógica NAND baseada em SET implementado no LTspice.



Fonte: Autor.

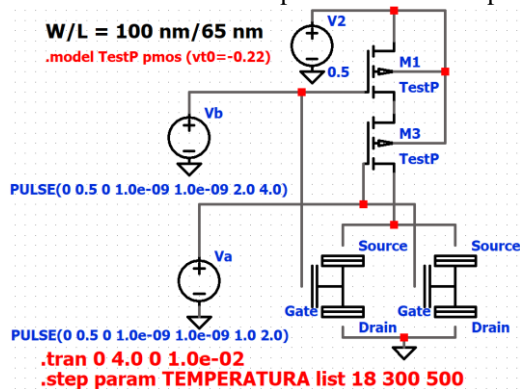
A última porta lógica analisada foi a NOR. O circuito utilizando uma configuração CMOS convencional está ilustrado na figura 21. A figura 22 mostra o circuito utilizando uma configuração híbrida SET-MOS. Por fim, a figura 23 a configuração utilizando o modelo SET implementado.

Figura 21- Circuito de uma porta lógica NOR baseada em CMOS implementado no LTspice.



Fonte: Autor.

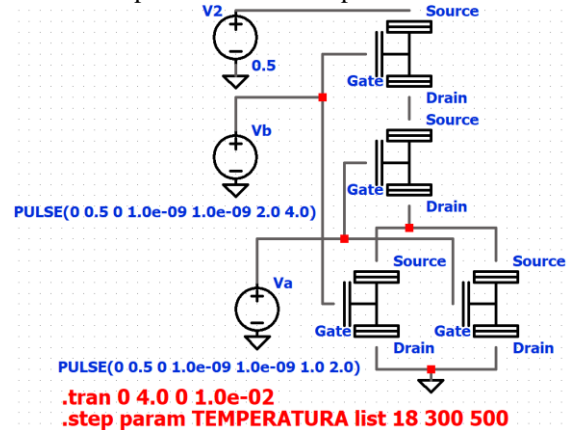
Figura 22- Circuito de uma porta lógica NOR baseada em híbrido SET-MOS implementado no LTspice.



Fonte: Autor.

Figura 23- Circuito de uma porta lógica NOR baseada

em SET implementado no LTspice.



Fonte: Autor.

4 APRESENTAÇÃO E ANÁLISE DOS RESULTADOS

4.1 RESULTADO DAS SIMULAÇÕES NO SIMON

No final de toda simulação do SIMON, as leituras dos medidores de tensão, carga e corrente produzem gráficos e estes resultados ficam salvos em arquivos de texto. Para facilitar a interpretação dos dados, os gráficos foram recriados no MATLAB utilizando estes arquivos.

4.1.1 Características do SET no SIMON

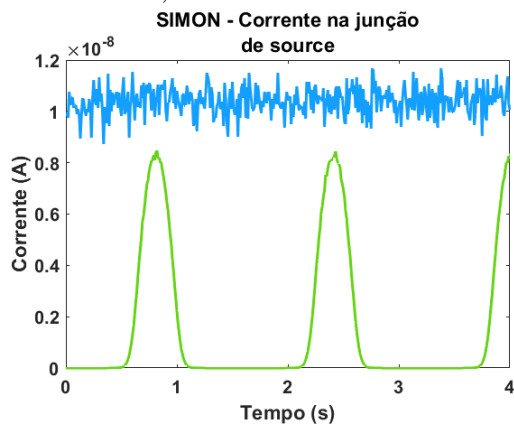
As figuras 24 e 25 mostram o comportamento do SET para as temperaturas de 10K e de 300K.

Para 10K, a influência da energia térmica sobre o sistema é quase desprezível. Dessa forma, é possível observar os efeitos do comportamento quantizado do elétron e controlá-los com o uso das fontes de tensão. No instante $t = 0$ a ilha está eletricamente neutra. Ao passo de que a tensão no terminal de *gate* aumenta, nos instantes em que há energia o suficiente para romper o Bloqueio de Coulomb, o gráfico de corrente mostra as oscilações de carga na junção do *source* para o QD e o gráfico de carga mostra o acúmulo gradativo de elétrons no QD.

Por sua vez, para 300K, é notável a influência da energia térmica decorrente da

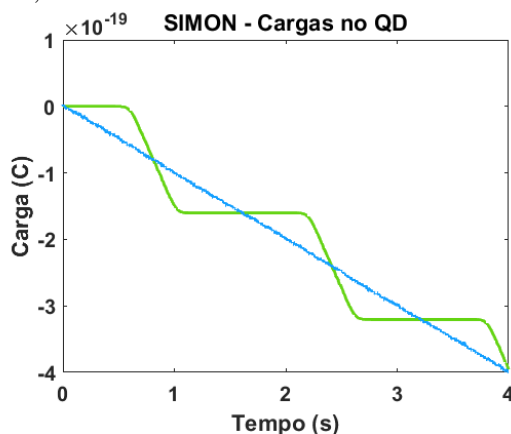
temperatura mais elevada. As oscilações de carga no gráfico de corrente estão mais instáveis e a variação de carga não zero em nenhum instante observado, pois o Bloqueio de Coulomb não consegue ser restabelecido. Assim, o gráfico de carga não apresenta o comportamento de “escada” pela ausência do Bloqueio de Coulomb, passando a acumular cargas de forma linear. Caso fossem utilizados valores de resistência e capacitância de tunelamento mais elevados, seria possível montar um sistema onde o SET opere de forma adequada para essa temperatura.

Figura 24- Corrente na junção de *source*. Em verde, $T = 10\text{K}$. Em azul, $T = 300\text{K}$.



Fonte: Autor

Figura 25- Cargas no QD. Em verde, $T = 10\text{K}$. Em azul, $T = 300\text{K}$.



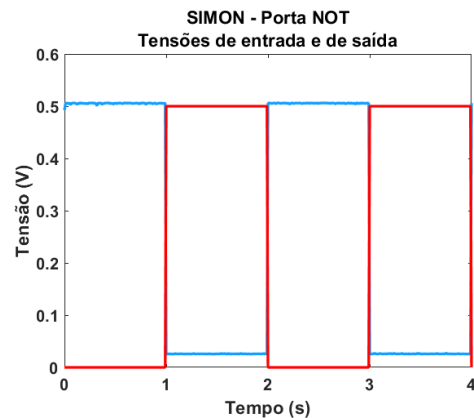
Fonte: Autor.

4.1.2 Portas lógicas digitais no SIMON

Os comportamentos das portas lógicas

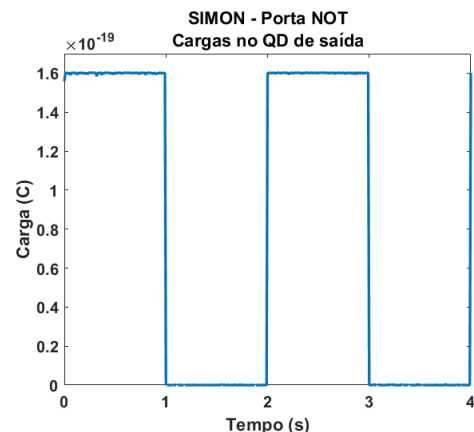
NOT, NOR e NAND podem ser analisados nas figuras 26 a 31. As operações das portas lógicas foram reproduzidas com sucesso. Entretanto, os sinais de saída baixa dos sistemas apresentaram uma pequena margem de erro, não atingindo exatamente o nível de 0V , oscilando em aproximadamente $0,02\text{V}$. Os gráficos dos medidores de carga comprovaram que as saídas lógicas foram produzidas por apenas um elétron, visto que a variação da carga na ilha variou entre 0C e $1,6\text{E-}19\text{C}$, sendo o último o valor referente à carga elementar de um elétron.

Figura 26– Porta NOT implementada no SIMON. Em vermelho, sinal de entrada V_A . Em azul, sinal de saída.



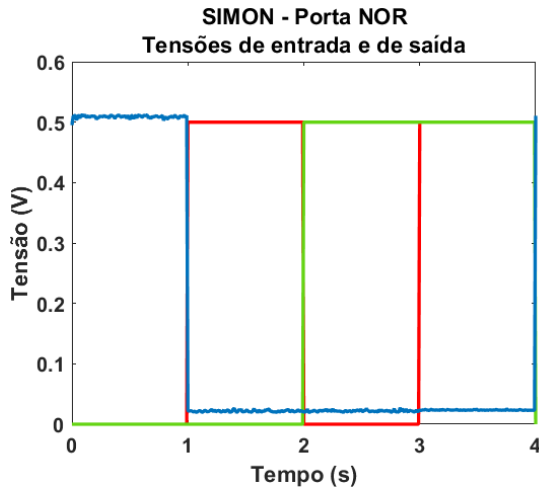
Fonte: Autor.

Figura 27- Cargas presentes no QD de saída da porta NOT.



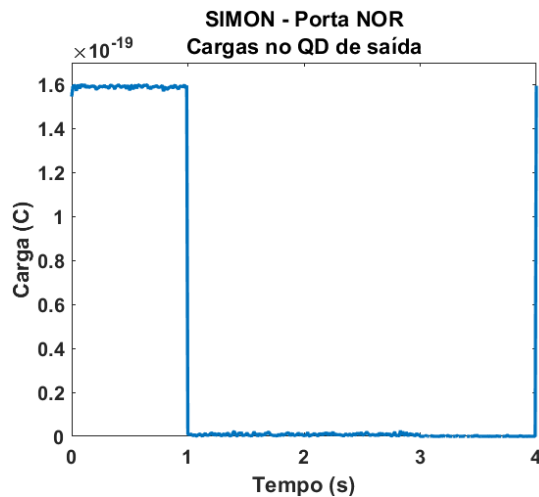
Fonte: Autor.

Figura 28– Porta NOR implementada no SIMON. Em vermelho, sinal de entrada V_A . Em verde, sinal de entrada V_B . Em azul, sinal de saída.



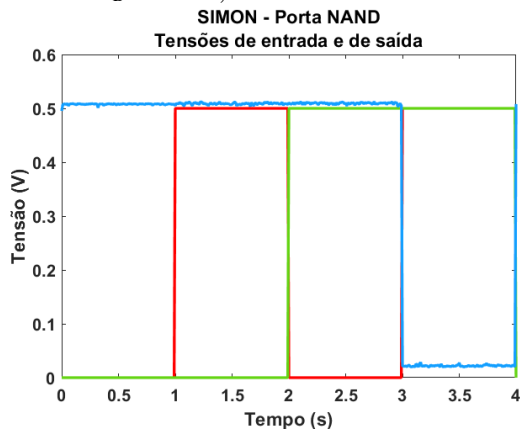
Fonte: Autor.

Figura 29- Cargas presentes no QD de saída da porta NOR.



Fonte: Autor.

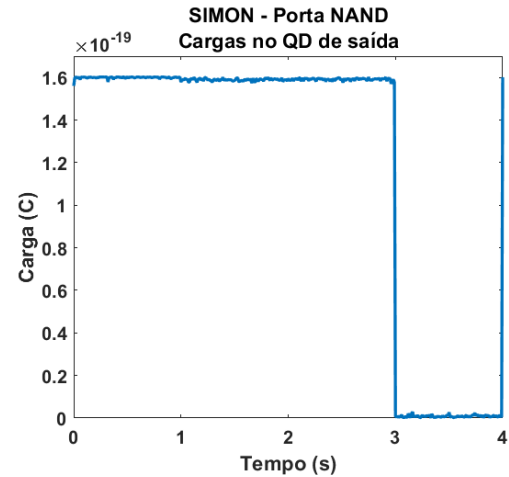
Figura 30- Porta NAND implementada no SIMON. Em vermelho, sinal de entrada V_A . Em verde, sinal de entrada V_B . Em azul, sinal de saída.



Fonte: Autor.

Figura 31- Cargas presentes no QD de saída da porta

NAND.

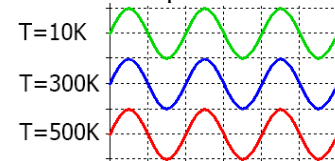


Fonte: Autor.

4.2 RESULTADO DAS SIMULAÇÕES NO LTSPICE

As simulações produziram gráficos representando a tensão do sinal de saída das portas lógicas para cada temperatura considerada. Os valores seguiram a legenda de cores indicada na figura 32.

Figura 32- Legenda das cores utilizadas para as diferentes temperaturas de simulação no LTspice.

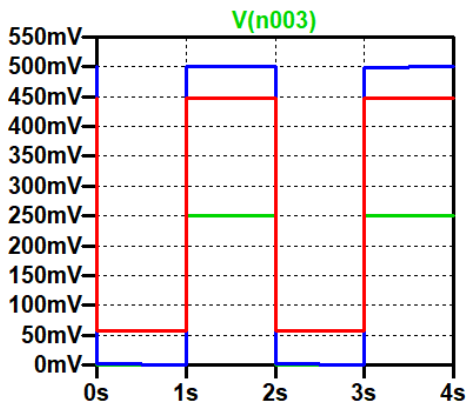


Fonte: Autor

Os resultados para as portas NOT podem ser visualizados nas figuras 33, 34 e 35.

A porta NOT utilizando apenas CMOS foi simulada com um tempo de 0,258s. A operação em temperatura ambiente teve o resultado esperado. Contudo, para 10K e 500K houve atenuação do sinal.

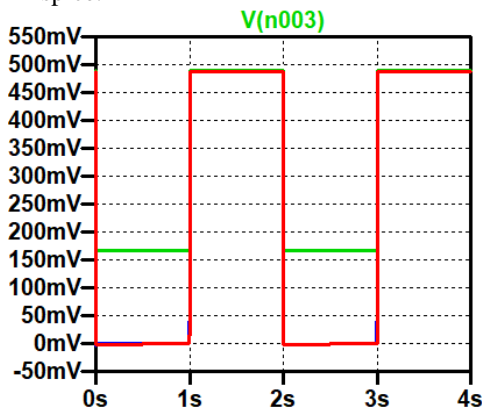
Figura 33- Sinal de saída da simulação da porta lógica NOT baseada em CMOS implementada no LTspice.



Fonte: Autor.

A porta NOT híbrido SET-MOS foi simulada com um tempo de 4min30s. A saída para 10K teve o sinal baixo próximo de 160mV e o alto próximo de 500mV. As demais temperaturas obtiveram o resultado esperado.

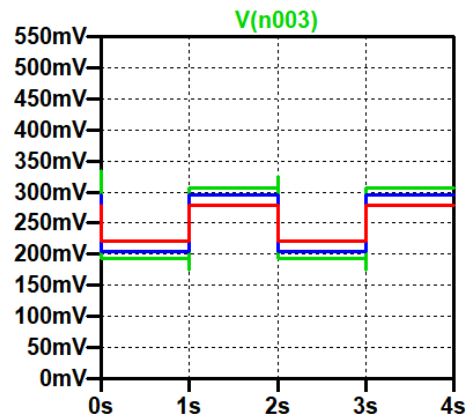
Figura 34- Sinal de saída da simulação da porta lógica NOT baseada em híbrido SET-MOS implementada no LTspice.



Fonte: Autor.

A porta NOT utilizando SET foi simulada com um tempo de 20min51s. Todas as saídas foram atenuadas, com sinais baixos próximos de 200mV e altos próximos de 300mV.

Figura 35- Sinal de saída da simulação da porta lógica NOT baseada em SET implementada no LTspice

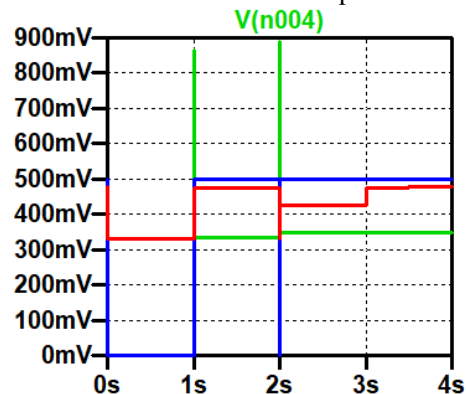


Fonte: Autor.

As figuras 36, 37 e 38 mostram o resultado das simulações para a porta NAND.

A porta NAND utilizando apenas CMOS foi simulada com um tempo de 0,329s. Ocorreram alguns picos de tensão nos instantes de chaveamento, principalmente para a temperatura de 10K (atingindo cerca de 890mV). Para 300K, o comportamento foi próximo do esperado, com algumas oscilações decorrentes dos tempos para ligar e para desligar utilizados para as fontes. Para 500K, houve uma forte atenuação do sinal.

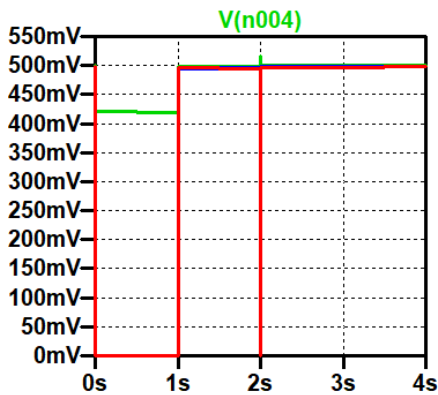
Figura 36- Sinal de saída da simulação da porta lógica NAND baseada em CMOS implementada no LTspice.



Fonte: Autor.

A porta NAND híbrido SET-MOS foi simulada com um tempo de 18min45s. A saída para 300K e 500K foi como o esperado. Entretanto, para 10K, o sinal baixo ficou em cerca de 425mV.

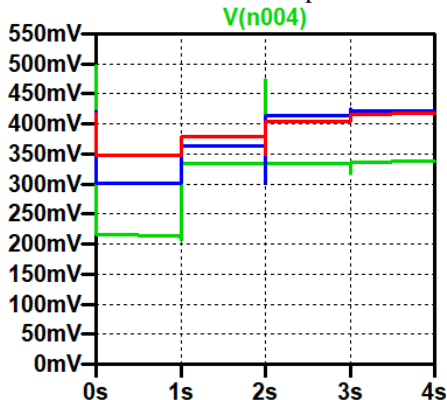
Figura 37- Sinal de saída da simulação da porta lógica NAND baseada em híbrido SET-MOS implementada no LTspice.



Fonte: Autor.

A porta NAND utilizando apenas SET foi simulada com um tempo de 72min. Houve uma grande incidência de erros e uma forte atenuação para todas as temperaturas. O resultado mais próximo do esperado foi para 10K.

Figura 38- Sinal de saída da simulação da porta lógica NAND baseada em SET implementada no LTspice

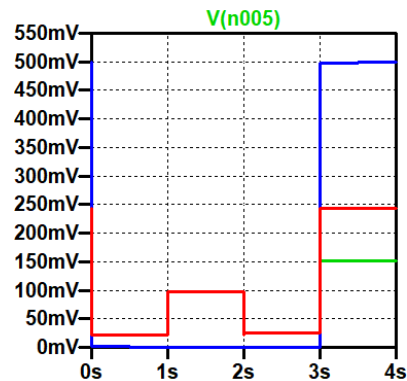


Fonte: Autor.

As Figuras 39, 40 e 41 mostram o resultado das simulações para a porta NOR.

A porta NOR utilizando apenas CMOS foi simulada com um tempo de 0,326s. Para 300K, o sinal se comportou como o esperado. Para as demais temperaturas, houve uma forte atenuação e alguns erros.

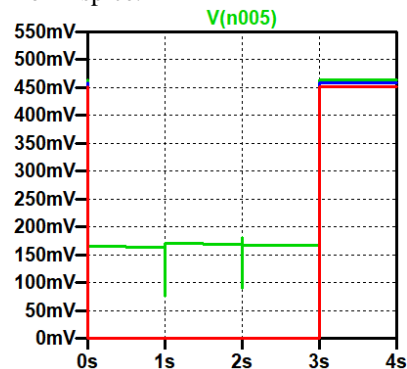
Figura 39- Sinal de saída da simulação da porta lógica NOR baseada em CMOS implementada no LTspice.



Fonte: Autor.

A porta NOR híbrido SET-MOS foi simulada com um tempo de 9min43s. Apesar do deslocamento do sinal baixo para 10K, a operação em 300K e 500K foi como esperado.

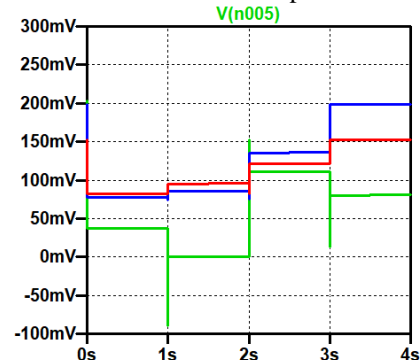
Figura 40- Sinal de saída da simulação da porta lógica NOR baseada em híbrido SET-MOS implementada no LTspice.



Fonte: Autor.

A porta NOR utilizando apenas SET foi simulada com um tempo de 42min16s. Houve uma grande incidência de erros e uma forte atenuação para todas as temperaturas.

Figura 41- Sinal de saída da simulação da porta lógica NOR baseada em SET implementada no LTspice



Fonte: Autor.

Os circuitos CMOS foram os mais rápidos para simular e operaram bem para 300K. Entretanto, não operou bem para as temperaturas mais extremas. De modo geral, os circuitos SET-MOS apresentaram maior estabilidade para as temperaturas de 300K e de 500K. Os circuitos feitos apenas com SET apresentaram maior incidência de erros e atenuações, além de necessitarem de um tempo maior para executar a simulação. O uso do macromodelo SET tornou as simulações mais lentas em razão do esforço computacional necessário para realizar os cálculos matemáticos que buscam representar os fenômenos quânticos do dispositivo.

4 CONSIDERAÇÕES FINAIS

Os avanços feitos no decorrer das últimas duas décadas permitiram o aprofundamento e melhor compreensão das possibilidades existentes nas tecnologias mono-elétron. Os softwares de simulação se mostram ferramentas inestimáveis para se estudar os fenômenos da mecânica quântica e os modelos matemáticos por trás desses dispositivos.

Apesar de serem incapazes de incorporar os cálculos quânticos e de princípios estocásticos, os modelos aproximados implementados nos softwares SPICE permitem que sejam estudadas novas possibilidades de projeto para os dispositivos mono-elétron. Entretanto, ainda se faz necessário o uso de programas específicos como o SIMON para proporcionar um melhor entendimento de sua operação.

As simulações no LTspice evidenciaram o potencial no uso de híbridos SET-MOS para aplicações de lógica digital, uma vez que se mostraram superiores às portas lógicas elaboradas apenas com SET quanto à estabilidade dos sinais de saída perante diferentes temperaturas de operação e à velocidade da execução da simulação.

O transistor mono-elétron vem ganhando espaço nas pesquisas científicas. Se faz

necessário conduzir mais estudos para revelar maneiras de aprimoramento e viabilização dessa tecnologia. Uma sugestão para pesquisas futuras é expandir a análise para outras portas lógicas e estudar projetos de sistemas mais complexos para aplicações relacionadas à redes neurais, memórias computacionais, lógica multivalorada e telecomunicações.

AGRADECIMENTOS

Gostaria de agradecer aos meus pais, Luciana e Marcelo, meu irmão, Lucas, e minhas avós, Nina e Irene, pelo carinho, apoio e incentivo ao longo dos anos.

À Letícia pelos momentos felizes em meio a um momento tão conturbado como esse.

Ao Nelson por me acudir na hora do desespero com as simulações.

Aos meus colegas Pedro Barros, Fernanda, Lidia, Erika, Victor, Perla, André, João Gabriel, Daniel, Paulo, Gustavo, Railander, Ricardo, Mohn, Juan e tantos outros pela companhia nas alegrias e tristezas no decorrer do curso.

Aos meus veteranos Rubens, Nádila, Daniel, Gabriel Lacerda, Zé, Gustavo Faria, Larissa, Teles, Yukio, Simpson, Jeff, Pedro Garcia, Clair, Ana, Melo e os demais pelos momentos memoráveis na monitoria.

Aos professores Ricardo Fragelli, Clementino Neto, Luis Claudio e Hudson Zaidan por me inspirarem com sua didática e paixão pela profissão.

Ao meu orientador, Francisco Javier, por acreditar nessa pesquisa e me incentivar desde o primeiro instante.

Por fim, à professora Janaina Guimarães por suas contribuições ao campo de pesquisa no decorrer dos anos e todo o apoio para o desenvolvimento desta pesquisa.

REFERÊNCIAS

AHSAN, M.Z. **Single electron transistor (SET): operation and application perspectives**. MIST IJST, <http://library.mist.ac.bd:8080/bitstream/handle/123451234/507/56->

%20Article%20Text%20%28File%20docx%20wit
w%20no%20Author%20Information%29-102-1-10-
20191205.pdf, v. 6, n. 1, p. 53-57, dez. 2018.

ABUTALEB, M.M. **A new static differential design style for hybrid SET-CMOS logic circuits.** J Comput Electron, <https://link.springer.com/article/10.1007/s10825-014-0660-2>, v. 14, n. 1, p. 329-340, jan. 2015.

BAKHVALOV, Nikolai S. *et al.* **Single-Electron Solitons in One-Dimensional Tunnel Structures.** JETP, http://www.jetp.ac.ru/cgi-bin/dn/e_068_03_0581.pdf, v. 68, n. 3, p. 581-587, mar. 1989.

COLINGE, Jean-Pierre, GREER, Jim. Transistor Structures for Nanoelectronics. *In:* SATTTLER, Klaus D. (org.). **HANDBOOK OF NANOPHYSICS, Volume VI: Nanoelectronics and Nanophotonics.** 1. ed. Estados Unidos: CRC Press, 2011. p. 238 - 251.

DA CUNHA, Carolina D. **Estudo sobre o comportamento dinâmico de células digitais de um multiplicador binário baseado em tecnologia SET.** 2013. Trabalho de conclusão de curso - Faculdade de Tecnologia, Universidade de Brasília, Brasília, 2013.

DE ARAÚJO, Rafael A.R. **Células para um sistema de comunicação nanoeletrônico.** 2009. Trabalho de conclusão de curso - Faculdade de Tecnologia, Universidade de Brasília, Brasília, 2009.

DO NASCIMENTO, Leandro. **Manual prático do LTspice IV.** Disponível em: <https://edisciplinas.usp.br/pluginfile.php/5128936/mod_resource/content/1/Manual%20LTSpice%20-%20Rev%208%20-%20Leandro%20do%20Nascimento.pdf>. Acesso em: 23 nov. 2020.

DO CARMO, Helen C. **Células Básicas para Redes Neurais Artificiais Utilizando Transistor Mono-Elétron.** 2002. Trabalho de conclusão de curso - Faculdade de Tecnologia, Universidade de Brasília, Brasília, 2002.

FERRY, David K. *et al.* Physics of Silicon Nanodevices. *In:* ODA, Shunri, FERRY, David (ed.). **Silicon Nanoelectronics.** 1. ed. Boca Raton: CRC Press, 2006. p. 1-32.

GEROUSIS, C.P., GOODNICK, S.M., POROD, W. **Nanoelectronic single-electron transistor circuits and architectures.** Int. J. Circ. Theor. Appl., <https://onlinelibrary.wiley.com/doi/epdf/10.1002/cta.284>, v. 32, n. 5, p. 323-338, set. 2004.

GONZÁLEZ, Gabriel, LEUENBERGER, Michael N. Quantum Spin Tunneling in Molecular Nanomagnets. *In:* SATTTLER, Klaus D. (org.). **HANDBOOK OF NANOPHYSICS, Volume VI: Nanoelectronics and Nanophotonics.** 1. ed. Estados Unidos: CRC Press, 2011. p. 190 - 203.

GHOSH, Arpita. **Stability of Hybrid SET-CMOS Based NOT Gate.** 2020 IEEE VLSI DEVICE CIRCUIT AND SYSTEM (VLSI DCS), <https://ieeexplore.ieee.org/abstract/document/9179937>, p. 384-387, jul. 2020..

HALLIDAY, David, RESNICK, Robert, WALKER, Jearl. **Fundamentals of Physics.** 10. ed. Hoboken: Wiley, 2015.

HEIJ, C.P., HADLEY, P., MOOJI, J.E. **A single-electron inverter.** Applied Physics Letters, <http://lampx.tugraz.at/~hadley/publications/inverter/inverter.html>, v. 78, n. 8, fev. 2001.

HOEFFLINGER, Bernd. From Microelectronics to Nanoelectronics. *In:* HOEFFLINGER, Bernd (ed.). **Chips 2020 - A Guide to the Future of Nanoelectronics.** Berlin: Springer-Verlag, 2012.

HOROWITZ, Paul. HILL, Winfield. **The Art of Electronics.** 3. ed. Cambridge: Cambridge University Press, 2015.

JANA, Anindya *et al.* **Design and simulation of hybrid CMOS-SET circuits.** Microelectronics Reliability, <https://www.sciencedirect.com/science/article/abs/pii/S0026271412005082>, v. 53, n. 4, p. 592-599, abr. 2013.

KNIGHT, D. **Universal Logic Gates.** Disponível em: <<https://www.allaboutcircuits.com/technical-articles/universal-logic-gates/>>. Acesso em: 23 nov. 2020.

LIENTSCHNIG, Günther, WEYMANN, Irek, HADLEY, Peter. **Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors.** Jpn. J. Appl. Phys., <https://iopscience.iop.org/article/10.1143/JJAP.42.6467>, v. 42, n. 10, p. 6467-6472, out. 2003.

LIKHAREV, Konstantin K. **Single-Electron Devices and Their Applications.** IEEE, <https://ieeexplore.ieee.org/document/752518>, v. 87, n. 4, p. 606-632, abr. 1999.

LTspice | Design Center | Analog Devices. Disponível em: <<https://www.analog.com/en/design->

center/design-tools-and-calculators/ltspice-simulator.html>. Acesso em: 23 nov. 2020.

MAHAPATRA, Santanu *et al.* **A CAD framework for co-design and analysis of CMOS-SET hybrid integrated circuits.** ICCAD, <https://ieeexplore.ieee.org/document/1257857>, p. 497-502, nov. 2003.

MAHAPATRA, Santanu, IONESCU, Adrian M. **Hybrid CMOS Single-Electron-Transistor Device And Circuit Design.** 1. ed. Norwood: Artech House, 2006.

MALVINO, Albert, BATES, David J. **Eletrônica.** 8. ed. Porto Alegre: AMGH, 2016.

MOORE, Gordon E. **Cramming more components onto integrated circuits, Reprinted from Electronics, volume 38, number 8, April 19, 1965, pp.114 ff.** IEEE, <https://ieeexplore.ieee.org/abstract/document/4785860>, v. 11, n. 9, p. 33-35, set. 2006.

NETO, Hélio G. M. **Desenvolvimento de uma memória associativa estocástica utilizando transistores mono-elétron.** 2009. Trabalho de conclusão de curso - Faculdade de Tecnologia, Universidade de Brasília, Brasília, 2009.

NOGUEIRA, Camila P. da S. M. **Rede de hopfield mono-elétron.** 2010. Trabalho de conclusão de curso - Faculdade de Tecnologia, Universidade de Brasília, Brasília, 2010.

PATEL, Rashmit, AGRAWAL, Yash, PAREKH, Rutu. **Single-electron transistor: review in perspective of theory, modelling, design and fabrication.** *Microsystem Technologies*, set. 2020.

RASMI, Amiza, HASHIM, Uda. **Single-Electron Transistors (SET): Literature Review.** JERE, https://jere.unimap.edu.my/images/Artikel/JERE%20VOL%202%202005/JERE_2_2005_31-50.pdf, v. 2, n. 1, p. 31-50, jan. 2005.

SINHA, Pankaj K, SANJAY, Sathe. **Single Electron Transistor and its Simulation methods.** IJEDR, <https://www.ijedr.org/papers/IJEDR1402100.pdf>, v. 2, n. 2, p. 1907-1925, jun. 2014.

VAHID, Frank. **Digital Design with RTL Design, VHDL, and Verilog.** 2. ed. Nova Iorque: Wiley, 2010.

VAN DE HAAR, Rudie. **Simulation of single-electron tunnelling circuits using SPICE.** 2004. Tese (Doutorado em Eletrônica) - Faculty of Electrical

Engineering, Mathematics, and Computer Science, Delft University of Technology, Delft, 2004.

VENKATARATNAM, Aranggan, GOEL, Ashok K. **Design and simulation of logic gates using single electron transistors at room temperature.** IJCSE, <https://dl.acm.org/doi/10.1504/IJCSE.2006.012770>, v. 2, n. 3-4, p. 179-188, jan. 2006.

XIAO, Ran. **Single Electron Devices and Circuit Architectures Modeling Techniques Dynamic Characteristics and Reliability Analysis.** 2013. Tese (Mestrado) - Faculdade de Estudos de Pós-Graduação, Universidade de Windsor, Ontário, 2013.

WASSHUBER, Christoph. **Computational Single-electronics.** 1. ed. Nova Iorque: Springer-Verlag Wien, 2001.

WASSHUBER, Christoph. **SIMON: Help.** SIMON 1.3, 1997.

WASSHUBER, Christoph, KOSINA, Hans. **SIMON-A simulator for single-electron tunnel devices and circuits.** IEEE, <https://ieeexplore.ieee.org/document/658562?arnumber=658562>, v. 16, n. 9, p. 937 – 944, set. 1997.

YANO, Kazuo. **SES Memory Devices.** In: ODA, Shunri, FERRY, David (ed.). **Silicon Nanoelectronics.** 1. ed. Boca Raton: CRC Press, 2006. p. 223-242.

YU, Y. S., LEE, H. S., HWANG, S. W. **SPICE macro-modeling for the compact simulation of single electron circuits.** JKPS, [https://www.jkps.or.kr/journal/download_pdf.php?spage=269&volume=33&number=9\(2\)](https://www.jkps.or.kr/journal/download_pdf.php?spage=269&volume=33&number=9(2)), v. 33, n. 9, p. 269-272, out. 1998.